

SON-2352

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of

TOMOFUMI ARAKAWA

Serial No. To be assigned

Filed: February 1, 2002

For: MEMORY DEVICE

)  
)  
)  
)  
)  
)  
)

APPLICATION BRANCH

CLAIM TO PRIORITY UNDER 35 USC 119

Commissioner for Patents  
Washington, D.C. 20231

Sir:

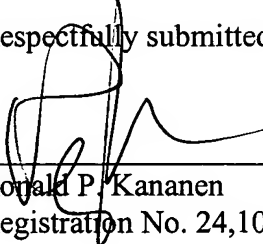
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2001-031151 filed February 2, 2001

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Date: February 1, 2002

  
\_\_\_\_\_  
Ronald P. Kananen  
Registration No. 24,104

**RADER, FISHMAN & GRAUER, PLLC**

Lion Building  
1233 20<sup>th</sup> Street, N.W.  
Washington, D.C. 20036  
Tel: (202) 955-37650  
Customer No. 23353

JC997 U.S. PTO

10/060226



Best Available Copy

S02P0119US00

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC997 U.S. PTO  
10/060226  
02/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日  
Date of Application:

2001年 2月 7日

出 願 番 号  
Application Number:

特願2001-031151

出 願 人  
Applicant(s):

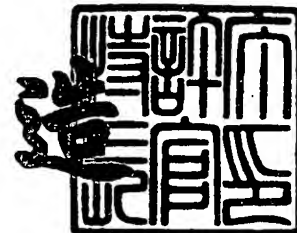
ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年12月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0000919601

【提出日】 平成13年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 荒川 朋文

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100080883

【弁理士】

【氏名又は名称】 松隈 秀盛

【電話番号】 03-3343-5821

【手数料の表示】

【予納台帳番号】 012645

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707386

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 互いに交叉する複数対のビット線及び複数のワード線の各交叉部に接続される如くマトリクス状に配された複数のメモリセルと、

上記各対のビット線に接続された上記複数のメモリセルに対し、上記各対のビット線を介して、切断可能に並列接続された、それぞれ独立にリード／ライトの可能な複数のセンスアンプと、

上記各対のビット線に並列接続された上記複数のセンスアンプに対し、接続された読出しゲート及び書込みゲートとを有し、

上記複数のワード線のうち活性化されるワード線が切り換わったときに、読出しデータが連続して読出されるように制御されることを特徴とするメモリ装置。

【請求項 2】 請求項 1 に記載のメモリ装置において、

上記各対のビット線に並列接続された上記複数のセンスアンプに対し、各別に接続されたそれぞれ複数の上記読出しゲート及び上記書込みゲートとを有することを特徴とするメモリ装置。

【請求項 3】 請求項 1 に記載のメモリ装置において、

上記各対のビット線に並列接続された上記複数のセンスアンプに対し、共通に接続されたそれぞれ単一の上記読出しゲート及び上記書込みゲートとを有することを特徴とするメモリ装置。

【請求項 4】 請求項 1 に記載のメモリ装置において、

上記複数のメモリセルは、それぞれダイナミック RAM から構成されてなることを特徴とするメモリ装置。

【請求項 5】 請求項 2 に記載のメモリ装置において、

上記複数のメモリセルは、それぞれダイナミック RAM から構成されてなることを特徴とするメモリ装置。

【請求項 6】 請求項 3 に記載のメモリ装置において、

上記複数のメモリセルは、それぞれダイナミック RAM から構成されてなることを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリ装置に関する。

【0002】

【従来の技術】

以下に、図1及びその図1の一部の具体回路を示す図2を参照して、従来のD-RAMメモリ装置を説明する。このD-RAMメモリ装置は、互いに交叉する複数( $n+1$ )対のビット線 $BL_0; BLB_0, BL_1; BLB_1, \dots, BL_n; BLB_n$ 及び複数( $m+1$ )のワード線 $WL_0, WL_1, \dots, WL_m$ の各交叉部に接続される如くマトリクス状に配された複数のD-RAM(ダイナミックRAM)メモリセル $10-0 \{MC_0-0, MC_1-0, MC_2-0, \dots, MC(m-1)-0, MC_m-0\}$ 、 $10-1 \{MC_0-1, MC_1-1, MC_2-1, \dots, MC(m-1)-1, MC_m-1\}$ 、 $\dots$ 、 $10-n \{MC_0-n, MC_1-n, MC_2-n, \dots, MC(m-1)-n, MC_m-n\}$ 及びそれぞれ複数のメモリセルからなるメモリセル $10-0, 10-1, \dots, 10-n$ に、それぞれビット線 $BL_0; BLB_0, BL_1; BLB_1, \dots, BL_n; BLB_n$ を通じて接続されたセンスアンプ $30-0, 30-1, \dots, 30-n$ を有する。

【0003】

メモリセル $10-0 \{MC_0-0, MC_1-0, MC_2-0, \dots, MC(m-1)-0, MC_m-0\}$ 、 $10-1 \{MC_0-1, MC_1-1, MC_2-1, \dots, MC(m-1)-1, MC_m-1\}$ 、 $\dots$ 、 $10-n \{MC_0-n, MC_1-n, MC_2-n, \dots, MC(m-1)-n, MC_m-n\}$ は、それぞれスイッチングトランジスタとしての、例えば、Nチャンネル(Pチャンネルも可)のMOS-FET Q及びそのMOS-FET Qに直列接続されたキャパシタCから構成される。

【0004】

メモリセル $10-0$ のうちのメモリセル $MC_0-0, MC_2-0, MC_4-0$

、……、メモリセル10-1のうちのメモリセルMC0-1、MC2-1、MC4-1、……、メモリセル10-nのうちのメモリセルMC0-n、MC2-n、MC4-n、……のMOS-FET Qのドレインがそれぞれビット線BL0、BL1、BL2、……、BLnに接続され、そのゲートがそれぞれワード線WL0、WL2、WL4、……に接続され、そのソースがキャパシタCを通じて、共通のセルプレート電位Vcpが与えられるセルプレート電位線VLに接続される。

## 【0005】

メモリセル10-0のうちのメモリセルMC1-0、MC3-0、MC5-0、……、メモリセル10-1のうちのメモリセルMC1-1、MC3-1、MC5-1、……、メモリセル10-nのうちのメモリセルMC1-n、MC3-n、MC5-n、……のMOS-FET Qのドレインがそれぞれビット線BLB0、BLB1、BLB2、……、BLBnに接続され、そのゲートがそれぞれワード線WL1、WL3、WL5、……に接続され、そのソースがキャパシタCを通じて、共通のセルプレート電位Vcpが与えられるセルプレート電位線VLに接続される。

## 【0006】

各センスアンプ30-0、30-1、……、30-nは、ビット線BL0；BLB0、BL1；BLB1、……、BLn；BLBn間に直列接続され、各ゲートがビット線BLB0；BL0、BLB1；BL1、……、BLBn；BLnに接続されたPチャンネルMOS-FET Q1、Q2と、ビット線BL0；BLB0、BL1；BLB1、……、BLn；BLBn間に直列接続され、各ゲートがビット線BLB0；BL0、BLB1；BL1、……、BLBn；BLnに接続されたNチャンネルMOS-FET Q3、Q4とから構成され、PチャンネルMOS-FET Q1、Q2の接続中点と、NチャンネルMOS-FET Q3、Q4の接続中点とに、それぞれセンスアンプドライバからの駆動信号が供給されるように構成されている。

## 【0007】

そして、それぞれ複数のメモリセルから構成されるメモリセル10-0、10

、1、……、 $10-m$ からそれぞれ読出されたデータが、センスアンプ30-0、30-1、……、30-n及び読出しゲート40-0、40-1、……、40-nを通じて、読出しDB（データバス）に伝送される。又、書込みDB（データバス）からのデータが、書込みゲート50-0、50-1、……、50-n及びセンスアンプ30-0、30-1、……、30-nを通じて、メモリセル10-0、10、1、……、 $10-m$ に伝送されて書き込まれる。

#### 【0008】

図3に示す従来のD-RAMメモリ装置は、図1のD-RAMメモリ装置において、センスアンプ30-0、30-1、……、30-nに対し、それぞれもう1つの読出しゲート41-0、41-1、……、41-nを追加したものである。トランスファゲート20がONのときに、それぞれ複数のメモリセルから構成されるメモリセル10-0、10、1、……、 $10-m$ から読出されたデータが、センスアンプ30-0、30-1、……、30-n、トランスファゲート20、Dラッチ60-0、60-1、……60-n及び読出しゲート41-0、41-1、……、41-nを通じて、読出しDB（データバス）に伝送される。又、トランスファゲート20がOFFのときは、図1のメモリ装置の動作と同様となる。その他の構成は、図1と同様である。

#### 【0009】

この図3の従来のD-RAMメモリ装置は、メモリセル10-0、10、1、……、 $10-m$ から読出されたデータを、Dラッチ60-0、60-1、……60-nに伝送する際、センスアンプ30-0、30-1、……、30-nを通過するので、その間、センスアンプ30-0、30-1、……、30-nに対するアクセスが不可能になり、又、センスアンプ30-0、30-1、……、30-nのデータは、読出しデータに書き換えられてしまうという欠点がある。

#### 【0010】

上述したD-RAMメモリ装置は、行線に対するアクセス時間が遅いという欠点がある。これは、D-RAMメモリ装置のメモリセルのデータを、センスアンプによって増幅及びラッチしてから読み出さなければならないことに起因する。これは、D-RAMメモリ装置の根本的な欠点である。

## 【 0 0 1 1 】

かかる課題を解決するためには、複数のD-RAMメモリ装置を用いたり、バンク構成のD-RAMメモリ装置を用いて、D-RAMメモリ装置をバンク動作させることが行われている。即ち、あるバンクにアクセスしている最中に、別のバンクを活性化させて用意しておき、データを連続的に読出させる。これはインターリーブ動作と呼ばれる。これにより、D-RAMメモリ装置のセットアップ時間 ( $t_{RCD}$ ) と、リセット時間 ( $t_{PR}$ ) とが、見掛け上隠蔽される。

## 【 0 0 1 2 】

従来構成のD-RAMメモリ装置で、バンク動作を実現するためには、複数のD-RAMメモリ装置を用いる場合と、バンク構成のD-RAMメモリ装置を用いる場合とが考えられる。複数のD-RAMメモリ装置を用いる場合は、面積効率は良くないが、各D-RAMメモリ装置の動作が制約を受けることはない。これに対し、バンク構成のD-RAMメモリ装置は、各バンク間で回路の一部が共通化されるので、面積効率が良くなるが、その反面、各バンクの動作が一部制約を受ける。

## 【 0 0 1 3 】

D-RAMメモリ装置は、他の種類メモリ装置と同様に、記憶容量が大きい程面積効率が高くなり、記録容量が小さい程面積効率が低くなる。メモリ装置が多バンク構成の場合には、面積効率が低下する。混載D-RAMメモリ装置において、例えば、バンクの最小単位（ブロック）が、2Mビット、1Mビット、512KビットのD-RAMメモリ装置があるものと仮定する。バンク構成を考えずに、4MビットのD-RAM装置を製造したとすると、面積効率は、2Mビット、1Mビット、512Kビットの順に低下して行く。しかし、バンク構成を考慮して、4MビットのD-RAM装置を製造した場合は、2Mビットのものは2バンクまで、1Mビットのものは4バンクまで、512Kビットのものは8バンクまでとることが可能となる。この際、1Mビット又は512Kビットのもので、2バンクをとったとしても、面積効率はそれぞれ4バンク及び8バンクのものは変わらない。

## 【 0 0 1 4 】



## 【発明が解決しようとする課題】

しかし、D-RAMメモリ装置をバンク動作させる場合には、小容量のD-RAMメモリ装置を使用する場合、必要とする容量より大きなD-RAMメモリ装置を使用せざるを得ない。これは、面積効率で考えると、バンクの最小単位であるブロックの大きさが大きいためである。例えば、ユーザが1MビットのDRAMメモリ装置を2バンクで使用したし場合、1ブロックが1Mビットであるとする、最低2MビットのD-RAMメモリ装置を使用しないと、2バンク構成のメモリ装置をはとれない。

## 【0015】

かかるD-RAMメモリ装置では、連続したデータを必要とする行線に対するアクセス時間を擬似的に隠すために、バンク方式を採用していた。

## 【0016】

しかし、このバンク方式では、D-RAMマクロ（D-RAMの機能を有する回路群を意味する）を用意する必要があり、小容量しか必要のないアプリケーションに対しては、面積的に不利になる場合が多い。

## 【0017】

例えば、容量的に1MビットROMメモリ装置しか必要のないアプリケーションに対して、バンク構成を採用しようとした場合、提供可能なマクロサイズが1Mビットで複数バンク構成を使いたい場合、最低でも2Mビット以上の容量のRAMメモリ装置を搭載しなければならない。

## 【0018】

上述の点に鑑み、本発明は、記憶容量の小さいものであっても、面積効率の低下を最小限に抑え、且つ、行線に対するアクセス時間を隠蔽することのできるメモリ装置を提案しようとするものである。

## 【0019】

## 【課題を解決するための手段】

第1の発明は、互いに交叉する複数対のビット線及び複数のワード線の各交叉部に接続される如くマトリクス状に配された複数のメモリセルと、各対のビット線に接続された複数のメモリセルに対し、各対のビット線を介して、切断可能に

並列接続された、それぞれ独立にリード／ライトの可能な複数のセンスアンプと、各対のビット線に並列接続された複数のセンスアンプに対し、接続された読出しゲート及び書込みゲートとを有し、複数のワード線のうち活性化されるワード線が切り換わったときに、読出しデータが連続して読出されるように制御されるようにしたメモリ装置である。

## 【 0 0 2 0 】

第 1 の発明によれば、複数のメモリセルが、互いに交叉する複数対のビット線及び複数のワード線の各交叉部に接続される如くマトリクス状に配され、それぞれ独立にリード／ライトの可能な複数のセンスアンプが、各対のビット線に接続された複数のメモリセルに対し、各対のビット線を介して、切断可能に並列接続され、読出しゲート及び書込みゲートが、各対のビット線に並列接続された複数のセンスアンプに対し、接続され、複数のワード線のうち活性化されるワード線が切り換わったときに、読出しデータが連続して読出されるように制御される。

## 【 0 0 2 1 】

第 2 の発明は、第 1 の発明のメモリ装置において、各対のビット線に並列接続された複数のセンスアンプに対し、各別に接続されたそれぞれ複数の読出しゲート及び書込みゲートとを有するメモリ装置である。

## 【 0 0 2 2 】

第 3 の発明は、第 1 の発明のメモリ装置において、各対のビット線に並列接続された複数のセンスアンプに対し、共通に接続されたそれぞれ単一の読出しゲート及び書込みゲートとを有するメモリ装置である。

## 【 0 0 2 3 】

第 4、第 5 及び第 6 の発明は、第 1、第 2 及び第 3 の発明のメモリ装置において、複数のメモリセルは、それぞれダイナミック RAM から構成されてなるメモリ装置である。

## 【 0 0 2 4 】

## 【発明の実施の形態】

以下に、図 4 を参照して、本発明の実施の形態のメモリ装置（D-RAM メモリ装置）の一例を説明する。メモリセル 10-0、10-1、……、10-n は

、図2について説明したのと同様に、複数対のビット線及び複数のワード線の交叉部にそれぞれ接続された、複数のメモリセルから構成される。

#### 【0025】

即ち、このD-RAMメモリ装置は、互いに交叉する複数( $n+1$ )対のビット線 $BL_0; BLB_0, BL_1; BLB_1, \dots, BL_n; BLB_n$ 及び複数( $m+1$ )のワード線 $WL_0, WL_1, \dots, WL_m$ の各交叉部に接続される如くマトリクス状に配された複数のD-RAM(ダイナミックRAM)メモリセル $10-0 \{MC_0-0, MC_1-0, MC_2-0, \dots, MC(m-1)-0, MC_m-0\}$ 、 $10-1 \{MC_0-1, MC_1-1, MC_2-1, \dots, MC(m-1)-1, MC_m-1\}$ 、 $\dots$ 、 $10-n \{MC_0-n, MC_1-n, MC_2-n, \dots, MC(m-1)-n, MC_m-n\}$ 及びそれぞれ複数のメモリセルからなるメモリセル $10-0, 10-1, \dots, 10-n$ に、それぞれビット線 $BL_0; BLB_0, BL_1; BLB_1, \dots, BL_n; BLB_n$ を通じて、それぞれゲート信号 $TG_0, TG_1$ によってON、OFFされるトランスファゲート $20A, 20B$ を介して、切断可能に並列接続された、それぞれ独立にリード/ライトの可能な複数のセンスアンプ $30A-0, 30A-1, \dots, 30A-n$ 及び $30B-0, 30B-1, \dots, 30B-n$ を有する。

#### 【0026】

尚、センスアンプ $30A-0, 30A-1, \dots, 30A-n$ 及び $30B-0, 30B-1, \dots, 30B-n$ の構成は、上述の図2について説明したのと同様である。

#### 【0027】

メモリセル $10-0 \{MC_0-0, MC_1-0, MC_2-0, \dots, MC(m-1)-0, MC_m-0\}$ 、 $10-1 \{MC_0-1, MC_1-1, MC_2-1, \dots, MC(m-1)-1, MC_m-1\}$ 、 $\dots$ 、 $10-n \{MC_0-n, MC_1-n, MC_2-n, \dots, MC(m-1)-n, MC_m-n\}$ は、それぞれスイッチングトランジスタとしての、例えば、Nチャンネル(Pチャンネルも可)のMOS-FET Q及びそのMOS-FET Qに直列接続されたキャパシタCから構成される。

## 【0028】

メモリセル10-0のうちのメモリセルMC0-0、MC2-0、MC4-0、……、メモリセル10-1のうちのメモリセルMC0-1、MC2-1、MC4-1、……、メモリセル10-nのうちのメモリセルMC0-n、MC2-n、MC4-n、……のMOS-FET Qのドレインがそれぞれビット線BL0、BL1、BL2、……、BLnに接続され、そのゲートがそれぞれワード線WL0、WL2、WL4、……に接続され、そのソースがキャパシタCを通じて、共通のセルプレート電位Vcpが与えられるセルプレート電位線VLに接続される。

## 【0029】

メモリセル10-0のうちのメモリセルMC1-0、MC3-0、MC5-0、……、メモリセル10-1のうちのメモリセルMC1-1、MC3-1、MC5-1、……、メモリセル10-nのうちのメモリセルMC1-n、MC3-n、MC5-n、……のMOS-FET Qのドレインがそれぞれビット線BLB0、BLB1、BLB2、……、BLBnに接続され、そのゲートがそれぞれワード線WL1、WL3、WL5、……に接続され、そのソースがキャパシタCを通じて、共通のセルプレート電位Vcpが与えられるセルプレート電位線VLに接続される。

## 【0030】

センスアンプ30A-0、30A-1、……、30A-nには、それぞれ読出しゲート40A-0、40A-1、……、40A-n及び書込みゲート50A-0、50A-1、……、50A-nが接続される。

## 【0031】

センスアンプ30B-0、30B-1、……、30B-nには、それぞれ読出しゲート40B-0、40B-1、……、40B-n及び書込みゲート50B-0、50B-1、……、50B-nが接続される。

## 【0032】

そして、メモリセル10-0、10-1、……、10-mから読出されたデータが、ゲート制御信号TG0によってONにされるトランスファゲート20A、

センスアンプ30A-0、30A-1、……、30A-n及び読出しゲート40A-0、40A-1、……、40A-nを通じて、又は、ゲート制御信号TG1によってONにされるトランスファゲート20B、センスアンプ30B-0、30B-1、……、30B-n及び読出しゲート40B-0、40B-1、……、40B-nを通じて、読出しDB（データバス）に伝送される。

## 【0033】

又、書込みDB（データバス）からのデータが、書込みゲート50A-0、50A-1、……、50A-n、センスアンプ30A-0、30A-1、……、30A-n及びゲート制御信号TG0によってONとされたトランスファゲート20Aを通じて、又は、書込みゲート50B-0、50B-1、……、50B-n、センスアンプ30B-0、30B-1、……、30B-n及びゲート制御信号TG1によってONとされたトランスファゲート20Bを通じて、メモリセル10-0、10、1、……、10-mに伝送されて書き込まれる。

## 【0034】

次に、図5のタイミングチャートを参照して、図4のメモリ装置の動作を説明する。図5において、CLKは、クロックの波形を示す。Command は、図3のメモリ装置を制御するマイクロコンピュータ（図示せず）からのコマンドを示す。Address は、マイクロコンピュータからの行及び列のアドレス信号を示す。WL0、WL1は、ワードラインWL0、WL1の高、低の電圧を示す。SA0\_\_0、SA0\_\_1、……、SA0\_\_nは、センスアンプ30A-0、30A-1、……、30A-nの各対のビット線BL0；BLB0、BL1；BLB1、……、BLn；BLBn上の電圧を示す。SA1\_\_0、SA1\_\_1、……、SA1\_\_nは、センスアンプ30B-0、30B-0、……、30B-nの各対のビット線BL0；BLB0、BL1；BLB1、……、BLn；BLBn上の電圧を示す。

## 【0035】

Data Outは、読出しゲートを通じて、読出しデータバスに出力される出力データを示す。Data In は、書込みデータバスから、書込みゲートに供給される入力データを示す。TGSel は、マイクロコンピュータからの、トランスファ・ゲート20A、20Bのゲート選択信号を示す。TG0、TG1は、それぞれトラン

スファゲート 2 0 A、2 0 B に供給される制御信号を示す。

【 0 0 3 6 】

コマンド Command が、行アドレス R A 0 に対し、最初に A C T を示すと、行アドレス R A 0 が活性化され、ワードライン W L 0 が、最初に低レベルから高レベルになり、コマンド Command が Read (リード) となって列アドレス C A 0 0、C A 0 1 が読み込まれる。その後、ゲート選択信号 T G S e l が T G 0 となって、ゲート信号 T G 0 が、低レベルから高レベルになって、ゲート 2 0 A が O N となり、メモリセル 1 0 - 0、1 0 - 1 の「1」のデータが、センスアンプ 3 0 A - 0、3 0 A - 1 によって増幅及びラッチされる。センスアンプ 3 0 A - 0、3 0 A - 1 の増幅出力は、それぞれ読出しゲート 4 0 A - 0、4 0 A - 1 を通じて、出力データ Q 0 0、Q 0 1 として、読出しデータバスに出力される。

【 0 0 3 7 】

コマンド Command が次に A C T を示すと、行アドレス R A 1 が活性化され、ワードライン W L 1 が、最初に低レベルから高レベルになり、メモリセルのデータを読み出す。そして、そのデータを増幅した後、コマンド Command が Read (リード) となって、列アドレス C A 1 0、C A 1 1 が読み込まれる。その後、ゲート選択信号 T G S e l が T G 1 となって、ゲート信号 T G 1 が低レベルから高レベルになって、ゲート 2 0 B が O N となり、メモリセル 1 0 - 0、1 0 - 1 の「1」のデータが、センスアンプ 3 0 B - 0、3 0 B - 1 によって増幅及びラッチされる。センスアンプ 3 0 B - 0、3 0 B - 1 の増幅出力は、それぞれ読出しゲート 4 0 B - 0、4 0 B - 1 を通じて、出力データ Q 1 0、Q 1 1 として、読出しデータバスに出力される。

【 0 0 3 8 】

コマンド Command が Write (ライト) になり、列アドレス C A 0 0、C A 0 1 が読み込まれ、書込みデータバスからのデータ D 0 0、D 0 1 が、書込みゲート 5 0 A - 0、5 0 A - 1 を通じて、センスアンプ 3 0 A - 0、3 0 A - 1 に書き込まれて、反転増幅及びラッチされる。その後、ゲート選択信号 T G S e l が T G 0 となり、ゲート信号 T G 0 が低レベルから高レベルになって、ゲート 2 0 A が O N となり、センスアンプ 3 0 A - 0、3 0 A - 1 のデータが、メモリセル 1 0

-0、10-1に記憶される。

【0039】

コマンドCommand が、Write (ライト) のままで、列アドレスCA10、CA11が読み込まれ、書込みデータバスからのデータD10、D11が、書込みゲート50B-0、50B-1を通じて、センスアンプ30B-0、30B-1に書き込まれて、反転増幅及びラッチされる。その後、ゲート選択信号TGsel がTG1となり、ゲート信号TG1が低レベルから高レベルになって、ゲート20BがONとなり、センスアンプ30B-0、30B-1のデータが、メモリセル10-0、10-1に記憶される。

【0040】

その後、コマンドCommand が、PRE(プリチャージ) になって、行アドレスRA1のビット線BL1、BLB1がプリチャージされて、互いに等しい一定電圧になさしめられる。

【0041】

以下に、図6を参照して、本発明の実施の形態のメモリ装置の他の例を説明する。尚、図6において、図4と対応する部分には、同一符号を付して、一部重複説明を省略する。図6のメモリ装置では、図4のメモリ装置と同様に、互いに交叉する複数( $n+1$ )対のビット線BL0; BLB0、BL1; BLB1、……、BLn; BLBn及び複数( $m+1$ )のワード線WL0、WL1、……、WLmの各交叉部に接続される如くマトリクス状に配された複数のD-RAM(ダイナミックRAM)メモリセル10-0 {MC0-0、MC1-0、MC2-0、……、MC(m-1)-0、MCm-0}、10-1 {MC0-1、MC1-1、MC2-1、……、MC(m-1)-1、MCm-1}、……、10-n {MC0-n、MC1-n、MC2-n、……、MC(m-1)-n、MCm-n}及びそれぞれ複数のメモリセルからなるメモリセル10-0、10-1、……、10-nに、それぞれビット線BL0; BLB0、BL1; BLB1、……、BLn; BLBnを通じて、それぞれゲート信号TG0、TG1によってON、OFFされるトランスファゲート20A、20Bを介して、切断可能に並列接続された、それぞれ独立にリード/ライトの可能な複数のセンスアンプ30A-0、

30A-1、……、30A-n及び30B-0、30B-1、……、30B-nを有する。

【0042】

この例では、センスアンプ30A-0；30B-0、30A-1；30B-1、……、30A-n；30B-nに対し、それぞれ共通の読出しゲート40-0、40-1、……、40-n及び書込みゲート50-0、50-1、……、50-nを、それぞれゲート信号TGA0、TGA1によってON、OFFされるトランスファゲート20C、20Dを介して並列接続する。その他の構成は、図4と同様である。

【0043】

次に、図7のタイミングチャートを参照して、図6のメモリ装置の動作を説明する。図7において、図5と対応する部分には、同一符号を付してあるので、重複説明は省略するも、TGASel トランスファ・ゲート20C、20Dのゲート選択信号を示す。

【0044】

コマンドCommand が、最初にACTを示すと、行アドレスRA0が活性化され、ワードラインWL0が、最初に低レベルから高レベルになり、コマンドCommand がRead（リード）となり、ゲート選択信号TGsel がTG0となって、列アドレスCA00、CA01が読み込まれる。その後、ゲート信号TG0が、低レベルから高レベルになって、ゲート20AがONとなり、メモリセル10-0、10-1の「1」のデータが、センスアンプ30A-0、30A-1によって増幅及びラッチされる。その後、ゲート選択信号TGASel がTGA0となり、ゲート信号TGA0が、低レベルから高レベルになって、ゲート20CがONとなり、センスアンプ30A-0、30A-1の増幅出力が、それぞれ読出しゲート40-0、40-1を通じて、出力データQ00、Q01として、読出しデータバスに出力される。

【0045】

コマンドCommand が次にACTを示すと、行アドレスRA1が活性化され、ワードラインWL1が、最初に低レベルから高レベルになり、コマンドCommand が



Read (リード) となり、ゲート選択信号TG Sel がTG 1となって、列アドレスCA 1 0、CA 1 1が読み込まれる。その後、ゲート信号TG 1が低レベルから高レベルになって、ゲート20 BがONとなり、メモリセル10-0、10-1の「1」のデータが、センスアンプ30 B-0、30 B-1によって増幅及びラッチされる。その後、ゲート選択信号TG A Sel がTG A 1となり、ゲート信号TG A 1が、低レベルから高レベルになって、ゲート20 DがONとなり、センスアンプ30 A-0、30 A-1の増幅出力が、それぞれ読出しゲート40-0、40-1を通じて、出力データQ 1 0、Q 1 1として、読出しデータバスに出力される。

## 【0046】

コマンドCommand がWrite (ライト) になると、列アドレスCA 0 0、CA 0 1が読み込まれ、まず、ゲート選択信号TG A Sel がTG A 0を示し、ゲート信号TG A 0が低レベルから高レベルに変化し、ゲート20 CがONとなる。書込みデータバスからのデータD 0 0、D 0 1が、書込みゲート50-0、50-1を通じて、センスアンプ30 A-0、30 A-1に書き込まれて反転増幅及びラッチされる。その後、ゲート選択信号TG Sel がTG 0となり、ゲート信号TG 0が低レベルから高レベルになって、ゲート20 AがONとなり、センスアンプ30 A-0、30 A-1のデータが、メモリセル10-0、10-1に記憶される。

## 【0047】

コマンドCommand が、Write (ライト) のままで、列アドレスCA 1 0、CA 1 1が読み込まれ、まず、ゲート選択信号TG A Sel がTG A 1を示し、ゲート信号TG A 1が低レベルから高レベルに変化し、ゲート20 DがONとなる。書込みデータバスからのデータD 1 0、D 1 1が、書込みゲート50-0、50-1を通じて、センスアンプ30 B-0、30 B-1に書き込まれて反転増幅及びラッチされる。その後、ゲート選択信号TG Sel がTG 1となり、ゲート信号TG 1が低レベルから高レベルになって、ゲート20 BがONとなり、センスアンプ30 B-0、30 B-1のデータが、メモリセル10-0、10-1に記憶される。

## 【0048】

その後、コマンドCommand が、PRE(プリチャージ) になって、行アドレスRA 1のビット線BL 1、BLB 1がプリチャージされて、互いに等しい一定電圧になさしめられる。

## 【0049】

因みに、D-RAMメモリ装置の特徴として、行線のアドレスを活性化することによって、数千ビットのデータがセンスアンプに読出され、それを列線のアドレスを制御することによって、選択読出しを行う。通常、行線のアドレスを活性化し、データを用意する動作は、非常に遅く、これがD-RAMメモリ装置の欠点となっていた。この短所を無くす技術が、従来の技術のところで説明した、バンク構成によるインターリーブ動作である。あるバンクのデータを読出している間に、別のバンクのデータを用意することによって、バンクデータを読出し終わった直後に、別のバンクのデータを連続して読み出すことができる。しかし、このインターリーブ動作は、複数のバンクを必要とし、小容量のメモリ装置では、面積効率が低下する。

## 【0050】

しかし、図4及び図6のメモリ装置によれば、各対のビット線に接続された複数のメモリセルに対し、各対のビット線を介して、切断可能に並列接続された、それぞれ独立にリード/ライトの可能な複数のセンスアンプを設け、複数のワード線のうち活性化されるワード線が切り換わったときに、読出しデータが連続して読出されるように制御されるようにしたので、小容量のメモリ装置であっても、面積効率の低下を最小限に抑え、且つ、バンク構成のメモリ装置のインターリーブ動作と同等の動作が可能になる(図8参照)。尚、図8において、図5及び図7と対応する部分には、同一符号を付してあるので、重複説明は省略する。

## 【0051】

図4及び図6のメモリ装置によれば、各対のビット線に接続された、それぞれ複数のメモリセルに対し、各対のビット線を介して、それぞれ独立にリード/ライトの可能な複数のセンスアンプが、切断可能に並列接続され、各メモリセルに接続された複数のセンスアンプに対し、それぞれ接続された読出しゲート及び書

込みゲートとを有するので、一方のセンスアンプを用いて、メモリセルに対し、データの書込み及び読出しを行っているときに、他方のセンスアンプを用いて、次の行アドレスのセンシングが可能となり、ページのミスヒットを防止することができる。

#### 【0052】

又、一方のセンスアンプを用いて、メモリセルに対し、データの書込み及び読出しを行っているときに、他のセンスアンプを、スタティックRAM（S-RAM）として使用することができる。

#### 【0053】

例えば、記憶容量が4MビットのD-RAMメモリ装置を製造する場合、2Mビットのブロックを採用したとすると、2バンクまでしか構成できない。そこで、4バンク構成をとる場合、1Mビットのブロック又は512Kビットのブロックを採用する必要がある。しかし、上述したように、複数センスサンプシステムを採用すると、2Mビットのブロックを使った4バンク構成と略同等の機能を持ったD-RAMメモリ装置を製造することができる。このため、追加したセンスアンプ分だけ、メモリ装置の面積効率が下がり、1Mビット又は512Kビットのブロックを採用した場合に比べて、遙に面積効率が改善される。

#### 【0054】

##### 【発明の効果】

第1の発明によれば、互いに交叉する複数対のビット線及び複数のワード線の各交叉部に接続される如くマトリクス状に配された複数のメモリセルと、各対のビット線に接続された複数のメモリセルに対し、各対のビット線を介して、切断可能に並列接続された、それぞれ独立にリード／ライトの可能な複数のセンスアンプと、各対のビット線に並列接続された複数のセンスアンプに対し、接続された読出しゲート及び書込みゲートとを有し、複数のワード線のうち活性化されるワード線が切り換わったときに、読出しデータが連続して読出されるように制御されるようにしたので、記憶容量の小さいものであっても、面積効率の低下を最小限に抑え、且つ、バンク構成のインターリーブ動作と同等の動作を実現することができて、行線に対するアクセス時間を隠蔽することのできると共に、各対の

ビット線に並列接続された複数のセンスアンプのいずれかを、S-RAM（スタティックRAM）としても使用することのできるメモリ装置を得ることができる。

【0055】

第2の発明によれば、第1の発明において、各対のビット線に並列接続された複数のセンスアンプに対し、各別に接続されたそれぞれ複数の読出しゲート及び書込みゲートとを有するので、記憶容量の小さいものであっても、面積効率の低下を最小限に抑え、且つ、バンク構成のインターリーブ動作と同等の動作を実現することができて、行線に対するアクセス時間を隠蔽することのできると共に、各対のビット線に並列接続された複数のセンスアンプのいずれかを、S-RAM（スタティックRAM）としても使用することのできるメモリ装置を得ることができる。

【0056】

第3の発明によれば、第1の発明のメモリ装置において、各対のビット線に並列接続された複数のセンスアンプに対し、共通に接続されたそれぞれ単一の読出しゲート及び書込みゲートとを有するので、記憶容量の小さいものであっても、面積効率の低下を最小限に抑え、且つ、バンク構成のインターリーブ動作と同等の動作を実現することができて、行線に対するアクセス時間を隠蔽することのできると共に、各対のビット線に並列接続された複数のセンスアンプのいずれかを、S-RAM（スタティックRAM）としても使用することができ、且つ、各対のビット線に並列接続された複数のセンスアンプに対し、接続された読出しゲート及び書込みゲートの個数が少なく済むメモリ装置を得ることができる。

【0057】

第1、第2及び第3の発明において、複数のメモリセルは、それぞれダイナミックRAMから構成される。

【図面の簡単な説明】

【図1】

従来のD-RAMメモリ装置を示すブロック線図である。

【図2】

図 1 の一部の回路の具体回路を示す回路図である。

【図 3】

従来の他の D-RAM メモリ装置を示すブロック線図である。

【図 4】

本発明の実施の形態のメモリ装置の一例を示すブロック線図である。

【図 5】

図 4 のメモリ装置の動作説明に供する波形を示すタイミングチャートである。

【図 6】

本発明の実施の形態のメモリ装置の他の例を示すブロック線図である。

【図 7】

図 6 のメモリ装置の動作説明に供する波形を示すタイミングチャートである。

【図 8】

図 4 及び図 6 のメモリ装置の動作説明に供する波形を示すタイミングチャートである。

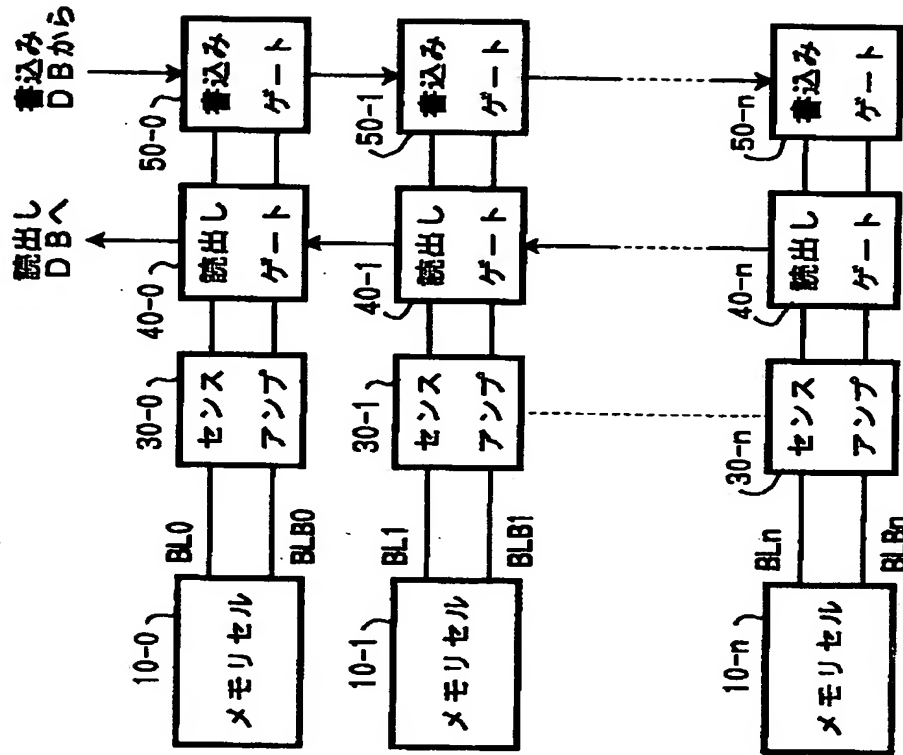
【符号の説明】

1 0 - 0、1 0 - 1、……、1 0 - n   メモリセル、3 0 A - 0 ; 3 0 B - 0  
、3 0 A - 1 ; 3 0 B - 1、……、3 0 A - n ; 3 0 B - n   センスアンプ、4  
0 A - 0、4 0 A - 1、……、4 0 A - n、4 0 B - 0、4 0 B - 1、……、4  
0 B - n   読出しゲート、5 0 A - 0、5 0 A - 1、……、5 0 A - n、5 0 B  
- 0、5 0 B - 1、……、5 0 B - n   書込みゲート、2 0 A、2 0 B   トラン  
スファゲート。

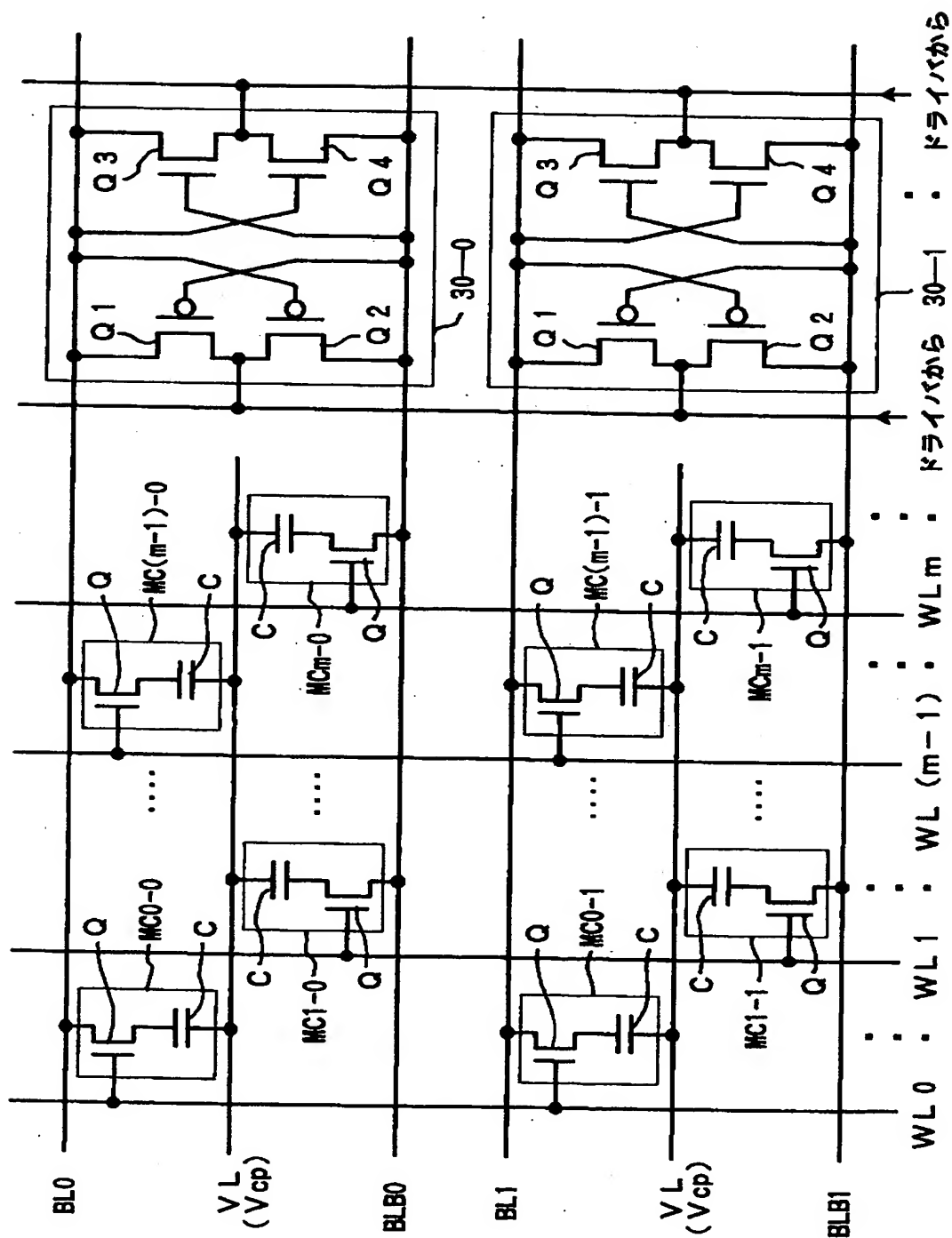
【書類名】

図面

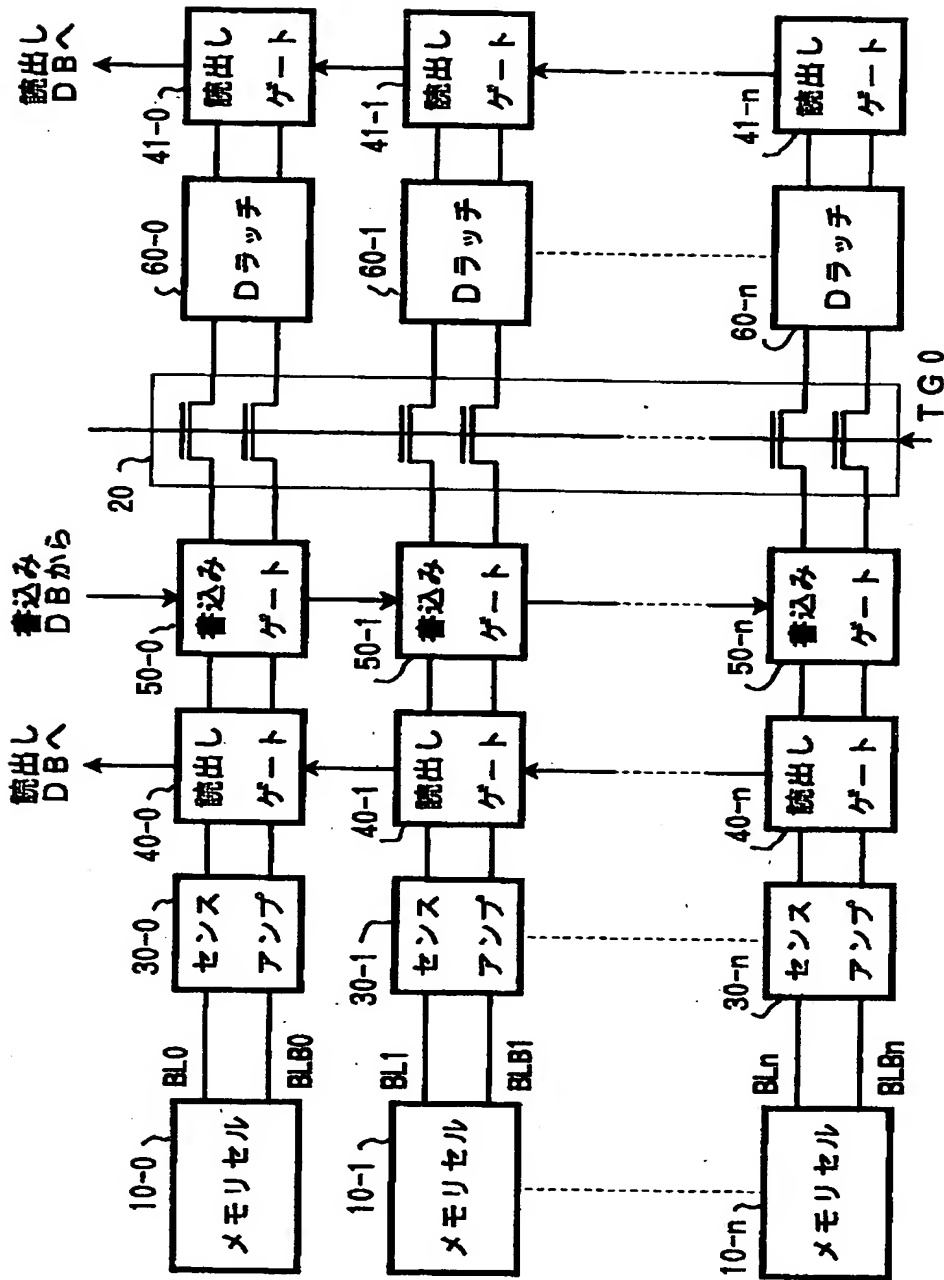
【図1】



【図 2】

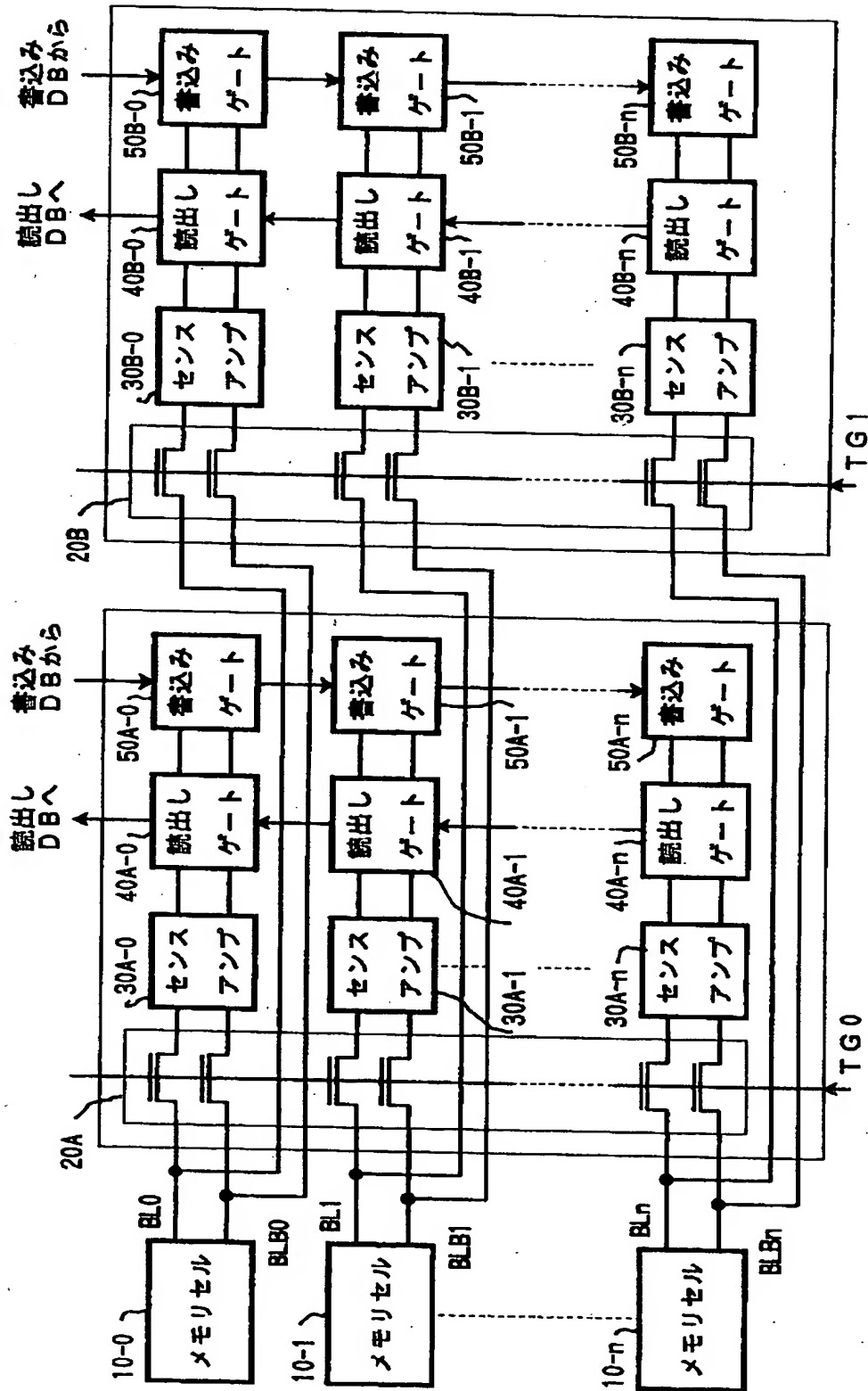


【図3】

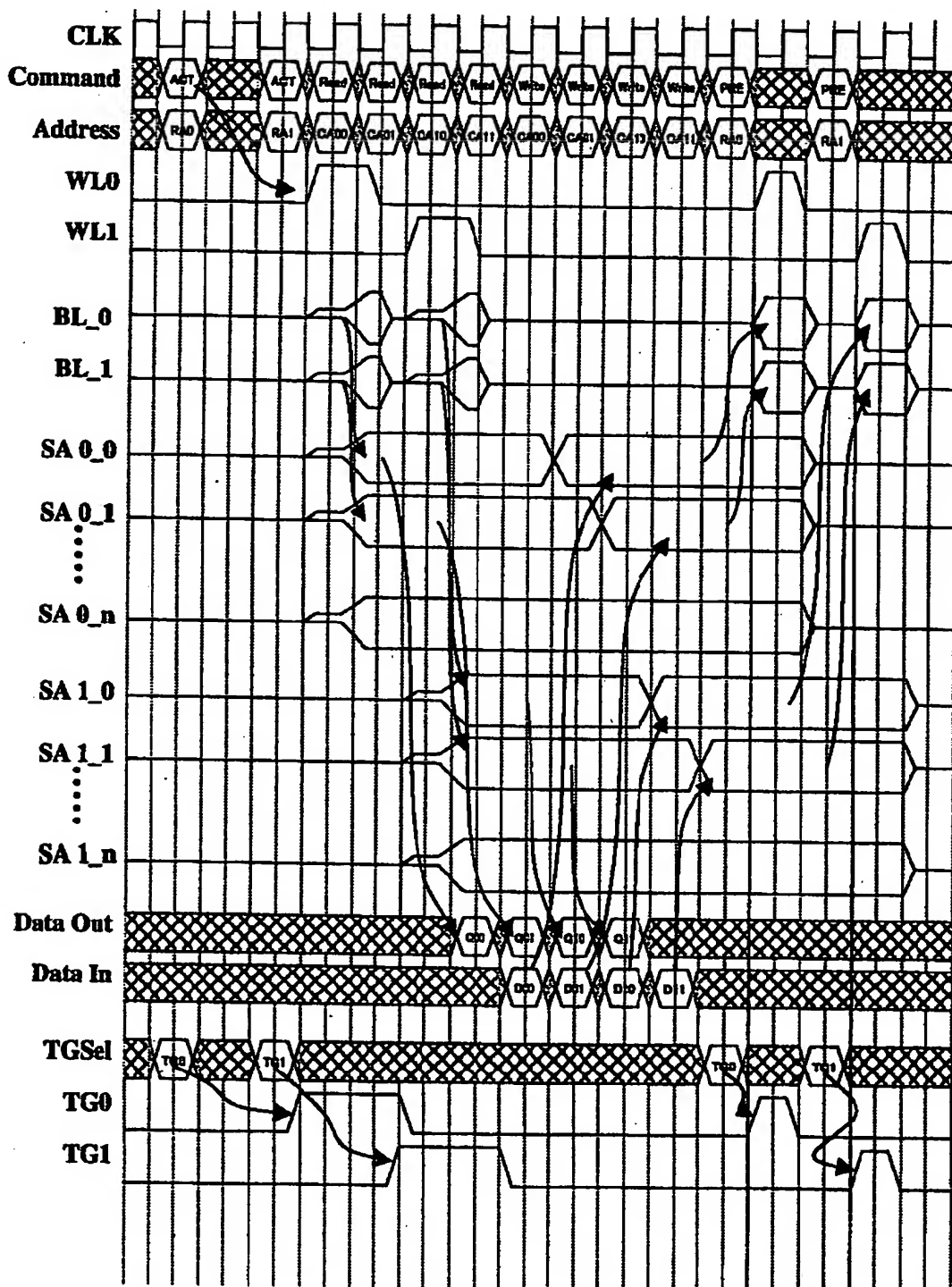




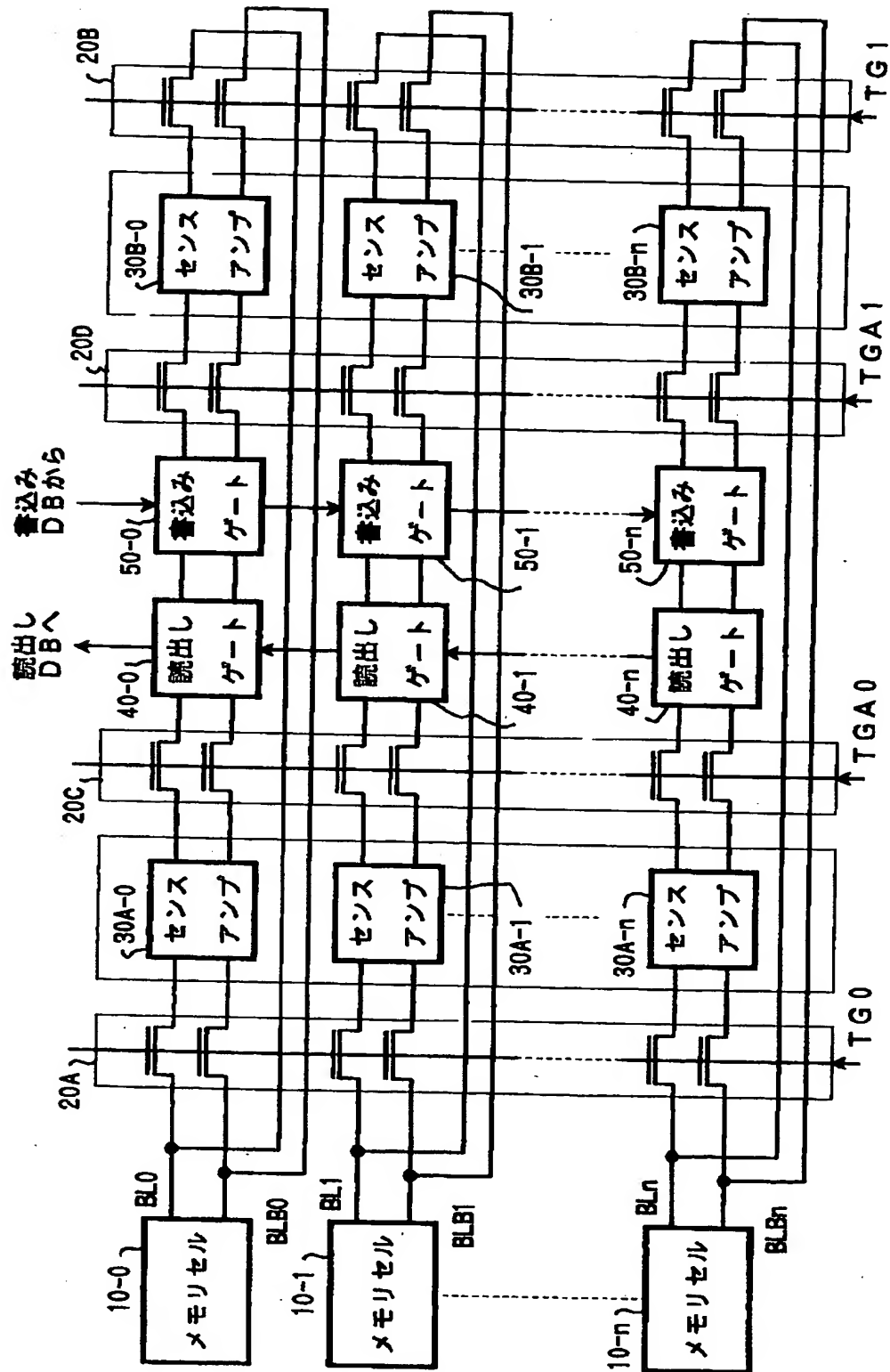
【図 4】



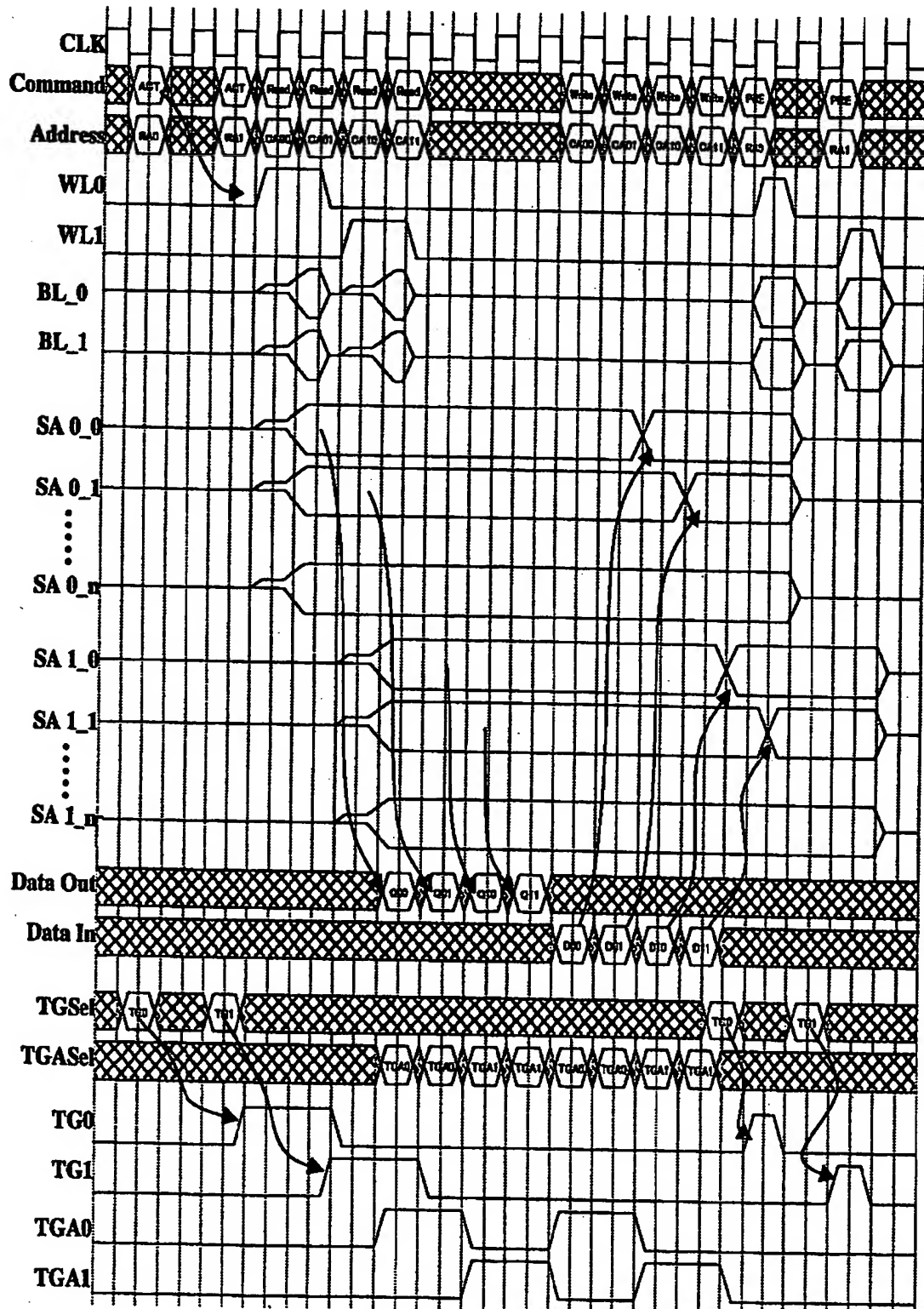
【図 5】



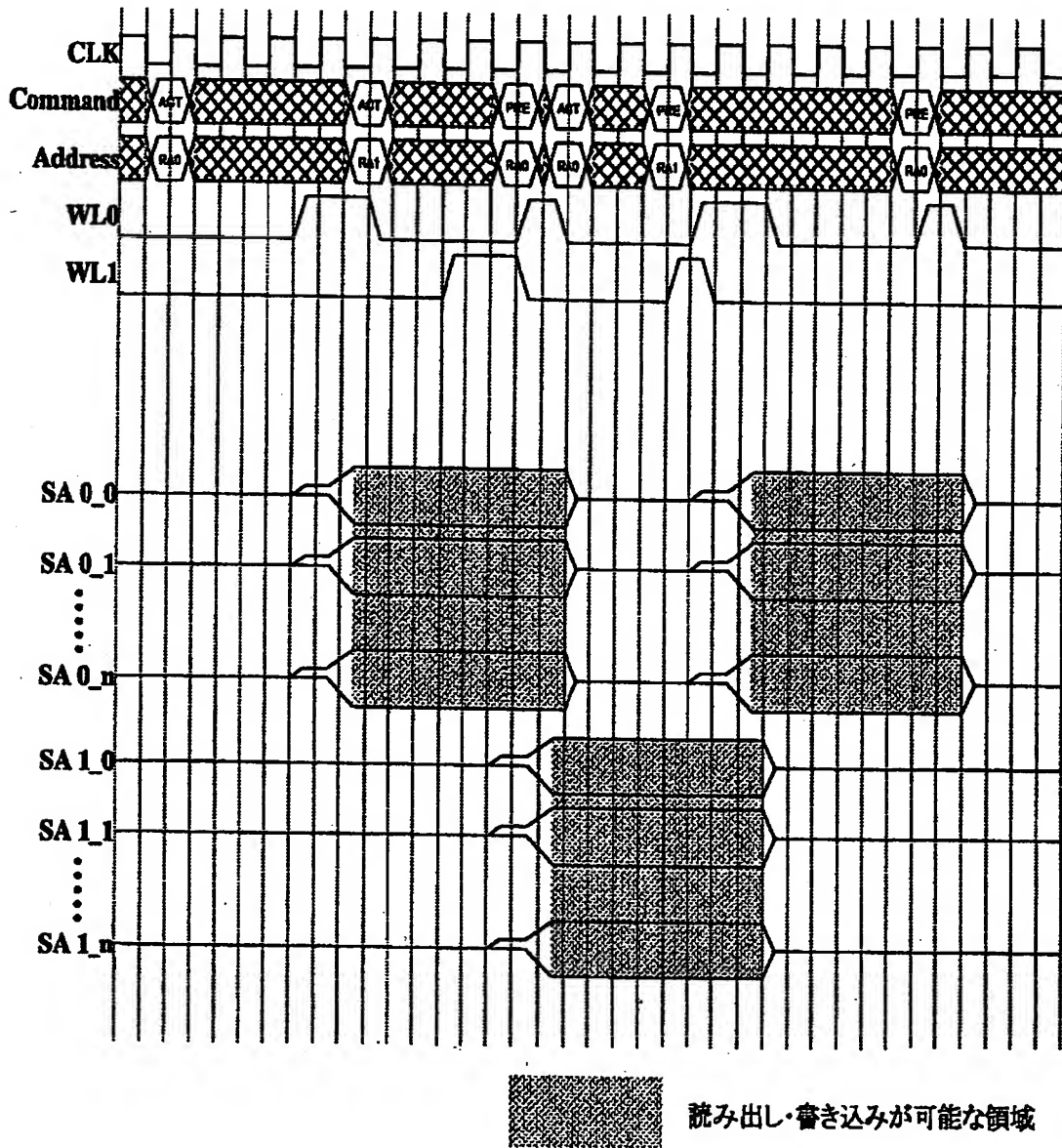
【図 6】



【图 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 記憶容量の小さいものであっても、面積効率の低下を最小限に抑え、且つ、行線に対するアクセス時間を隠蔽することのできるメモリ装置を得る。

【解決手段】 互いに交叉する複数対のビット線及び複数のワード線の各交叉部に接続される如くマトリクス状に配された複数のメモリセルと、各対のビット線に接続された複数のメモリセル  $10-0$ 、 $10-1$ 、 $\dots$ 、 $10-n$  に対し、各対のビット線を介して、切断可能に並列接続された、それぞれ独立にリード/ライトの可能な複数のセンスアンプ  $30A-0$  ;  $30B-0$ 、 $30A-1$  ;  $30B-1$ 、 $\dots$ 、 $30A-n$  ;  $30B-n$  と、各対のビット線に並列接続された複数のセンスアンプに対し、接続された読出しゲート及び書込みゲートとを有し、複数のワード線のうち活性化されるワード線が切り換わったときに、読出しデータが連続して読出されるように制御されるようにしたものである。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**